

# 2 pr  
12.27.99

Attorney Docket No. 15162/01290

JCS42 U.S. PRO  
09/438247  
11/12/99

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re

U.S. application: Junji NISHIGAKI, Atsushi ISHIKAWA,  
Kenichi SAWADA, Kazuhiro ISHIGURO  
and Hiroyuki SUZUKI

For: IMAGE PROCESSOR PROCESSING IMAGE  
DATA IN PARALLEL WITH A PLURALITY  
OF PROCESSORS

U.S. Serial No.: Not Yet Assigned

Filed: Concurrently

Group Art Unit: Not Yet Assigned

Examiner: Not Yet Assigned

"Express Mail" mailing label number EL195375511US

Date of Deposit November 12, 1999

Assistant Commissioner  
for Patents

Box Patent Application  
Washington, D.C. 20231

I hereby certify that this paper or fee is being  
deposited with the United States Postal Service  
"Express Mail Post Office to Addressee" service under  
37 CFR 1.10 on the date indicated above and is  
addressed to the Assistant Commissioner for Patents,  
Washington, D.C. 20231.

Derrick Gordon

(Typed or printed name of person mailing paper or  
fee)

*Derrick Gordon*  
(Signature of person mailing paper or fee)

November 12, 1999

Date of Signature

Dear Sir:

**CERTIFIED COPY OF PRIORITY DOCUMENT**

Submitted herewith is a certified copy of Japanese  
Patent Application No. 10-323315, filed November 13,  
1998. Priority benefit under 35 U.S.C. § 119/365 for

Attorney Docket No. 15162/01290

this Japanese patent application is claimed for the  
above-identified United States patent application.

Respectfully submitted,

By: James W. Williams  
James W. Williams  
Registration No. 20,047  
Attorney for Applicants

JWW/fis

SIDLEY & AUSTIN  
717 North Harwood  
Suite 3400  
Dallas, Texas 75201-6507  
(214) 981-3328 (direct)  
(214) 981-3300 (main)  
November 12, 1999

日 本 国 特 許 庁

PATENT OFFICE  
JAPANESE GOVERNMENT

JCS42 U.S. PTO  
09/438247



別紙添付の書類に記載されている事項は下記の出願書類に記載されて  
る事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed  
in this Office.

出 願 年 月 日

Date of Application:

1998年11月13日

願 番 号

Application Number:

平成10年特許願第323315号

願 人

Applicant (s):

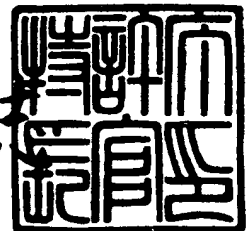
ミノルタ株式会社

CERTIFIED COPY OF  
PRIORITY DOCUMENT

1999年 7月15日

特許庁長官  
Commissioner,  
Patent Office

山 佐 健 彦



【書類名】 特許願

【整理番号】 1980863

【提出日】 平成10年11月13日

【あて先】 特許庁長官殿

【国際特許分類】 G06F 15/16

【発明の名称】 画像処理装置

【請求項の数】 4

【発明者】

    【住所又は居所】 大阪府中央区安土町二丁目3番13号大阪国際ビル ミ  
                        ノルタ株式会社内

    【氏名】 西垣 順二

【発明者】

    【住所又は居所】 大阪府中央区安土町二丁目3番13号大阪国際ビル ミ  
                        ノルタ株式会社内

    【氏名】 石川 淳史

【発明者】

    【住所又は居所】 大阪府中央区安土町二丁目3番13号大阪国際ビル ミ  
                        ノルタ株式会社内

    【氏名】 澤田 健一

【発明者】

    【住所又は居所】 大阪府中央区安土町二丁目3番13号大阪国際ビル ミ  
                        ノルタ株式会社内

    【氏名】 石黒 和宏

【発明者】

    【住所又は居所】 大阪府中央区安土町二丁目3番13号大阪国際ビル ミ  
                        ノルタ株式会社内

    【氏名】 鈴木 浩之

【特許出願人】

    【識別番号】 000006079

【住所又は居所】 大阪府中央区安土町二丁目3番13号大阪国際ビル

【氏名又は名称】 ミノルタ株式会社

【代理人】

【識別番号】 100064746

【弁理士】

【氏名又は名称】 深見 久郎

【選任した代理人】

【識別番号】 100085132

【弁理士】

【氏名又は名称】 森田 俊雄

【選任した代理人】

【識別番号】 100096792

【弁理士】

【氏名又は名称】 森下 八郎

【手数料の表示】

【予納台帳番号】 008693

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9716296

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 画像処理装置

【特許請求の範囲】

【請求項 1】 入力される画像データを並列に処理し、処理した画像データを出力する複数のプロセッサと、

前記複数のプロセッサの各々が処理する画像データのアドレス情報を記憶するアドレスメモリとを備えた、画像処理装置。

【請求項 2】 前記複数のプロセッサから出力された画像データを記憶する画像メモリと、

前記アドレスメモリに記憶されたアドレス情報に基づいて、前記画像メモリから画像データの読出を行なう読出手段とをさらに備えた、請求項 1 に記載の画像処理装置。

【請求項 3】 前記アドレスメモリに記憶されたアドレス情報に基づいて、前記複数のプロセッサから出力された画像データをアドレス順に記憶する画像メモリをさらに備えた、請求項 1 に記載の画像処理装置。

【請求項 4】 第 1 の外部装置と同期をとりながら処理の対象となる画像データを入力する入力手段と、

前記複数のプロセッサで処理された画像データと前記アドレスメモリに記憶されたアドレス情報とを第 2 の外部装置と同期をとりながら出力する出力手段とをさらに備えた、請求項 1 から 3 のいずれかに記載の画像処理装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は画像処理装置に関し、特に入力される画像データを並列に処理し、処理した画像データを出力する複数のプロセッサを備える画像処理装置に関する。

【0002】

【従来の技術】

図 23 (A) は従来のデジタル複写機に備えられている画像処理装置の構成を

示すブロック図である。図を参照して、画像処理装置はCCD901と、A/D変換部903と、シェーディング補正およびLOG変換部905と、変倍部907と、MTF補正部909と、 $\gamma$ 補正部911と、2値化処理部913とから構成される。

#### 【0003】

CCD901により光電変換された画像データが、A/D変換部903においてデジタルデータに変換される。その後、画像データに対して順次画像処理が行われた後、画像データはプリンタなどへ出力される。画像処理を行なうブロックは、同一のクロックにより動作する同期式パイプライン処理を行なっている。

#### 【0004】

図23(B)は、画像処理をMPU917により行なう画像処理装置の構成を示すブロック図である。これは、図23(A)の画像処理のブロック905～913に代えて、MPU917を採用したものである。このような装置は、現状では動作速度の観点から同期式パイプライン処理を採用した装置に比べて劣るが、画像処理プログラムを随時書換えることが可能であるため、自由度が高い。また、MPU917による非同期処理を行なうため、処理の負荷によって画素ごとの処理時間が異なってくる。したがって、入力装置および出力装置との同期合わせのために、MPU917に対する入力メモリ915および出力メモリ919が必要となっている。

#### 【0005】

さらに、特開平3-177961号公報は、マルチプロセッサ制御装置を開示する。これは、並列構成の複数のMPUにより1フレームの画像データをブロック単位で処理するものである。

#### 【0006】

図24は、そのようなマルチプロセッサ制御装置の構成を示すブロック図である。マルチプロセッサ制御装置は、データフロー制御部952と、フィードバックフレームメモリ951と、状態レジスタ953と、MPU1～4と、フィードバックバスと、出力画像バスと、入力画像バスとから構成される。

#### 【0007】

データフロー制御部 952 は、各 MPU 1～4 の処理状態とバスの使用状態とを格納した状態レジスタ 953 の値を監視する。そして、データフロー制御部 952 は各 MPU に対して動作指示を行なう。すなわち、データフロー制御部 952 は、処理が終了した MPU に対し、画像データの新たなブロックを割当てる。シリアルに順次入力された画像データが空いている MPU によって順次処理されるため、画像データの出力は入力順に関係なくランダムに行なわれる。

#### 【0008】

前のフレームの処理結果を必要とする場合、各 MPU はフィードバックバスを介して、所要領域のフィードバックデータをフィードバックフレームメモリ 951 から取込む。

#### 【0009】

図 24 に示される装置のように、データフロー制御部 952 によって処理が終了した MPU から次の入力データを処理し、出力していく装置では、MPU が何もせずに待機する時間が発生しない。しかし、この装置では、入力データの順とは無関係に画像データが出力されるため、出力データの並べ替えが必要となる。

#### 【0010】

このような出力データの並べ替えを不要とするために、MPU のデータの出力タイミングを調整する方法が考えられる。そのような方法について以下に説明する。

#### 【0011】

図 25 は、1 フレームの画像データを横 4 × 縦 6 の 24 のブロックに分割した状態を示す図である。この場合において、L1～L4 のそれぞれの列のブロックを MPU 1～4 のそれぞれで処理させるのである。すなわち、図 26 を参照して、時刻 T1 においてブロック D00, D01, D02 および D03 のデータをマルチプロセッサ制御装置に入力し、MPU 1～4 のそれぞれにブロック D00～D03 のデータの処理を行なわせる。最も処理スピードの遅かった MPU（ここでは MPU 3）の処理が終了した時刻 T2 で、処理済みのデータ Q00～Q03 を順に出力する。同時に、新たなブロック D10～D13 のデータを時刻 T2 で入力し、MPU 1～4 のそれぞれで処理を行なう。



【0012】

このような処理を行なうことで、ブロック順にデータを出力することができ、データの並べ替えが不要となる。

【0013】

【発明が解決しようとする課題】

しかしながら、上述の図26の方法では出力されるデータの並べ替えが不要になるものの、MPUが動作せずに待機する時間が生じてしまい、高速な画像処理を行なうことができないという問題点があった。

【0014】

そこでこの発明は、高速な画像処理が可能であり、かつ出力データの並べ替えを容易に行なうことができる画像処理装置を提供することを目的としている。

【0015】

【課題を解決するための手段】

上記目的を達成するため、この発明のある局面に従うと、画像処理装置は、入力される画像データを並列に処理し、処理した画像データを出力する複数のプロセッサと、複数のプロセッサの各々が処理する画像データのアドレス情報を記憶するアドレスメモリとを備える。

【0016】

好ましくは、画像処理装置は、複数のプロセッサから出力された画像データを記憶する画像メモリと、アドレスメモリに記憶されたアドレス情報に基づいて、画像メモリから画像データの読出を行なう読出手段とをさらに備える。

【0017】

好ましくは、画像処理装置は、アドレスメモリに記憶されたアドレス情報に基づいて、複数のプロセッサから出力された画像データをアドレス順に記憶する画像メモリをさらに備える。

【0018】

さらに好ましくは画像処理装置は、第1の外部装置と同期をとりながら処理の対象となる画像データを入力する入力手段と、複数のプロセッサで処理された画像データとアドレスメモリに記憶されたアドレス情報とを第2の外部装置と同期

をとりながら出力する出力手段とをさらに備える。

【0019】

これらの発明に従うと、複数のプロセッサの各々が処理する画像データのアドレス情報が記憶されるため、高速な画像処理が可能であり、かつ出力データの並べ替えを容易に行なうことができる画像処理装置を提供することが可能となる。

【0020】

【発明の実施の形態】

〔第1の実施の形態〕

図1は、本発明の第1の実施の形態における画像処理装置の構成を示すブロック図である。図を参照して、画像処理装置はデータフロー制御部101と、状態レジスタ103と、フィードバックフレームメモリ105と、MPU1~4と、フィードバックバスと、出力画像バスと、出力画像データのアドレスを出力するアドレスバスと、入力画像バスと、入力画像のアドレスを入力するアドレスバスとから構成される。

【0021】

処理の対象となる1つの画像の画像データは複数の画像データに分割され、MPU1~4により並列に処理される。MPU1~4のそれぞれに対して、MPU1~4のそれぞれが処理する画像データのアドレス情報（アドレスデータ）を記憶するメモリ（アドレスメモリ）M1~M4が設けられている。

【0022】

MPU1~4により処理した画像データが出力されるときには、アドレスデータもともに出力される。これにより、出力された画像データを1つの画像とするときの処理が容易となる。

【0023】

また、図23（B）に示されるように、出力メモリ919を装置の後段に設け、メモリM1~M4に記憶されたアドレスデータに対応した出力メモリ919のアドレスに、対応する処理済の画像データを書込むようにしてもよい。このようにすることで、処理済の1つの画像を得ることができる。

【0024】

図2は、状態レジスタ103の具体例を示す図である。状態レジスタは、それぞれのMPUの状態が何であることを記憶する。「待機」、「入力」、「処理」、「処理終了」、または「出力」の5つの状態がMPUには存在する。

## 【0025】

「待機」とは、MPUが処理を行っていない状態を示し、「入力」とは入力画像バスからMPUが画像データを入力している状態を示す。また、「処理」とはMPUが入力された画像データを処理している状態を示し、「処理終了」とは、MPUが画像データの処理を終了した状態を示す。「出力」とは出力画像バスを用いてMPUが画像データを出力している状態を示す。

## 【0026】

状態レジスタの中で「1」で示される状態が、そのMPUの状態である。

図3は、データフロー制御部101の処理を示すフローチャートである。図を参照して、データフロー制御部101は、ステップS101で状態レジスタ103の内容（図2参照）を確認する。そして、ステップS103で状態が「待機」であるMPUがあるか判定する。YESであれば、ステップS105でそのMPUに画像データを入力し処理する旨指示する。ステップS107ですべての画像データの処理が終了したかが判定され、YESであれば本ルーチンを終了する。

## 【0027】

ステップS103でNOであれば、ステップS107へ進む。ステップS107でNOであれば、ステップS101へ進む。

## 【0028】

図4は、MPU1～4の1つが行なう処理を示すフローチャートである。図を参照して、ステップS201でMPUは「待機」状態となる。この状態は、状態レジスタ103に記録される。

## 【0029】

ステップS203でデータフロー制御部から指示があったかが判定され、YESとなるまでステップS201からの処理を繰返し行なう。ステップS203でYESとなれば、ステップS205で状態レジスタ103のそのMPUの状態を変更する。具体的には、「待機」の欄に“0”を書込み、「入力」の欄に“1”

を書込む。

【0030】

ステップS207でMPUが入力画像バスを用いてそのMPUが処理を担当する画像データを入力する。ステップS209でアドレスバスを用いてそのMPUが処理を担当する画像データのアドレスをメモリM1～4に格納する。

【0031】

ステップS211で状態レジスタ103の「入力」の欄を“0”とし、「処理」の欄を“1”とする。ステップS213で入力された画像データの処理を実行する。処理が終了したのであれば、ステップS215で状態レジスタの「処理」の欄を“0”とし、「処理終了」の欄を“1”とする。

【0032】

ステップS217でMPUは待機し、ステップS219でデータフロー制御部101から出力指示があるまで待つ。出力指示があったのであれば、ステップS221で状態レジスタの「処理終了」の欄を“0”とし、「出力」の欄を“1”とする。ステップS223でMPUが処理した画像データが出力画像バスを介して出力され、同時に対応するメモリM1～M4の記憶しているアドレスデータがアドレスバスを介して出力される。ステップS225で状態レジスタの「出力」の欄が“0”とされ、「待機」の欄が“1”とされる。その後、ステップS201へ戻る。

【0033】

図5は入力データとMPU1～4の行なう処理と、出力データとアドレスデータとの関係を示すタイミングチャートである。図を参照して、画像処理の開始時刻T1において画像データD00～D03がそれぞれMPU1～4に入力される。まず処理が最も早く終了したMPU2が入力データD01の出力結果である画像データQ01を出力する。このとき、同時に画像データQ01のアドレスデータA01も出力される。その後、MPU2には次の処理の対象となる画像データD10が入力され、MPU2は画像データD10の処理を開始する。その後処理が終了したMPUから順にデータが出力され、そのMPUに新しい画像データが入力される。このような処理を繰返すことにより、図26に示される従来例と比

較して、MPUの待機時間を短くすることができ、画像処理を高速化することができる。また、出力データの順序は、入力データの順序とは異なるが、出力データはアドレスデータもともに出力されるため、そのアドレスデータを用いることにより、出力データを効率よく並べ替えることができる。

## 【0034】

また、前のフレームの処理結果を必要とする場合、各MPUはフィードバックバスを介して、所要領域のフィードバックデータをフィードバックメモリ105から取込むが、本実施の形態ではフィードバックメモリ105を1つだけ装置に設け、それを各MPUで共有するため、各MPUのそれぞれにフィードバックメモリを設けるよりも処理の負担が軽くなる。

## 【0035】

## 〔第2の実施の形態〕

図6は本発明の第2の実施の形態における画像処理装置の構成を示すブロック図である。この画像処理装置201は、スキャナ（画像読取装置）とプリンタとの間に接続され、スキャナのMPU201およびプリンタのMPU203と通信を行ないながら、データを処理する。

## 【0036】

画像処理装置201は、データフロー制御部205と、状態レジスタ207と、セクタ209と、アドレスFIFO211a~211dと、画像データFIFO213a~213dと、MPU1~4と、アドレスFIFO215a~215dと、画像データFIFO217a~217dと、バッファメモリ219~225と、セクタ227とから構成される。

## 【0037】

セクタ209は外部装置であるスキャナと同期をとりながら、処理の対象となる画像データを入力する。セクタ227は、処理された画像データとアドレス情報とを外部装置であるプリンタと同期をとりながら出力する。

## 【0038】

状態レジスタ207は図2において説明したように、各MPUの状態を記憶する。

## 【0039】

この実施の形態では同期式の入力および出力に対応するため、画像データ用の F I F O 213 a ~ 213 d, 217 a ~ 217 d と、アドレスデータ用 F I F O 211 a ~ 211 d, 215 a ~ 215 d が設けられている。

## 【0040】

データフロー制御部 205 は、カウンタを有し、スキャナ M P U 201 およびプリンタ M P U 203 との間で通信を行ないながら、入力されたデータ量と出力したデータ量とをチェックする。F I F O 211 a ~ 211 d, 213 a ~ 213 d が一杯になったのであれば、データフロー制御部 205 はデータの入力を中断し、F I F O 215 a ~ 215 d, 217 a ~ 217 d が空となれば、データフロー制御部はデータの出力を中断する。

## 【0041】

図 7 は、セレクトア 227 付近の詳細な構成を示すブロック図である。図を参照して、セレクトア 227 は M I N 値検出回路 229 と、トランスファゲート 231 a ~ 231 d とを備える。

## 【0042】

図 8 は、セレクトア 227 の動作を示すフローチャートである。図を参照して、ステップ S 301 でセレクトア 227 は、データフロー制御部 205 からの出力開始命令に応じて、F I F O 215 a ~ 215 d, 217 a ~ 217 d のそれぞれの読出信号 R E を 1 画素分アクティブにする。そして、バッファメモリ 219 ~ 225 の各々に読出したデータを格納する。M I N 値検出回路 229 はバッファメモリ 219 ~ 225 に格納されたアドレスデータから最小のものを検出し、最小のものに対応する F I F O、バッファメモリおよびトランスファゲートに対し共通の読出信号を出力する。これにより、アドレスが最小のものに対応する画像データが出力データとして選択され、かつバッファメモリ 219 ~ 225 に新たに F I F O からのデータが格納される。この動作は出力クロックに同期して行なわれる。以上の動作により、F I F O にランダムに格納された画像データが出力装置に順次ソートされてアドレス順に出力される。

## 【0043】

本実施の形態における画像処理装置は、FIFOにより入力側の装置（たとえばスキャナ）および出力側の装置（たとえばプリンタ）の双方に対して同期をとることができる。また、MPU1～4での処理は入力側の装置および出力側の装置とは独立に（非同期で）行なうことができる。これにより、入力側の装置のデータ伝送のクロックと出力側の装置のデータ伝送のクロックとは無関係に画像処理を行なうことができる。

【0044】

〔第3の実施の形態〕

図9は、本発明の第3の実施の形態における画像処理装置の構成を示すブロック図である。図を参照して、画像処理装置は入力された画像データを一時記憶する入力バッファメモリ301と、装置全体の制御を行なうCPU303と、入力された画像データを複数の画像データに分割し並列に処理するMPU1～3と、出力される画像データを記憶するラインメモリL1、L2と、ラインメモリL1、L2をコントロールするメモリコントローラ305と、ラインメモリL1、L2にどれだけの画像データが書込まれたかを計測する計数レジスタ307とから構成される。メモリコントローラ305は、MPU1～3のそれぞれが処理している画像データのアドレスと、用いられるラインメモリを記憶するためのレジスタを含む。

【0045】

図10は、メモリコントローラ305に含まれるレジスタの構成を示す図である。図を参照して、1つのレジスタは $(N+1)$ ビットより構成される。レジスタは、MPUの数（ここでは3つ）だけ備えられる。

【0046】

1つのレジスタは、MPUが処理している画像データのアドレスの下位Nビットを記録する。図11に示されるように、画像データの下位Nビットにより、ラインメモリに記録される1ライン分の画像データDの中の画素の位置（ラインメモリアドレス）が特定される。図10に示されるように、レジスタは合わせて、画像データを記憶するラインメモリがラインメモリL1であるか、L2であるかを1ビットのデータで記録する。

【0047】

たとえば、ラインメモリ L1, L2 の1つが4 Kバイトである場合には、そのアドレス幅は12ビットであるため、1つのラインメモリは13ビットのレジスタから構成される。

【0048】

図12は、CPU303の行なう処理を示すフローチャートである。図を参照して、ステップS401でCPU303はそれぞれのMPUに備えられた状態フラグを確認することにより、処理を行っていないMPUを探す。ステップS403で処理を行っていないMPUがあると判定されるまで、ステップS401からの処理を繰返し行なう。

【0049】

ステップS403でYESとなれば、ステップS405で処理を行っていないMPUに対し画像データを出力し、画像データの処理を行なうように指示する。

【0050】

ステップS407でMPUが処理する画像データのアドレスの下位NビットとラインメモリL1またはL2のいずれに画像データを書込むかを、メモリコントローラ305内のレジスタに書込む。

【0051】

ステップS409ですべての画像データの処理が終了したかが判定され、NOであれば、ステップS401へ戻り、YESであれば本ルーチンを終了する。

【0052】

図13は、MPU1～3の行なう処理を示すフローチャートである。図を参照して、ステップS501で、MPUは待機状態（処理をしていない状態）となり、CPU303からの指示を待つ。CPU303からの指示があったのであれば、ステップS503で入力バッファメモリ301から処理の対象となるデータをMPUは読込む。ステップS505でCPUは画像処理を行ない、ステップS507で処理が終了したか判定する。処理が終了したのであれば、ステップS509で処理結果がメモリコントローラ305に出力される。その後、ステップS5



01からの処理を繰返し行なう。

【0053】

図14は、メモリコントローラ305の行なう処理を示すフローチャートである。図を参照して、ステップS601でメモリコントローラ305は計数レジスタ307を初期化する。ステップS603で、メモリコントローラ305はCPU303を介してMPU1～3のいずれかから処理済みのデータを受取る。

【0054】

ステップS605で、メモリコントローラ305内のレジスタ（図10参照）に記憶されたラインメモリアドレスに基づき、MPUから受取った処理データをラインメモリL1またはラインメモリL2の該当するアドレスに書込む。

【0055】

ステップS607でラインメモリへ書込んだデータの数を計数レジスタ307に記憶させる。これは、具体的には計数レジスタの値を1つインクリメントするものである。ステップS609で計数レジスタが所定の値（Nビット）に達したかが判定される。これは、ラインメモリに書込まれるデータが一杯になったか否かを判定するものである。YESであれば、ステップS611で所定の値（Nビット）分のデータをラインメモリL1またはL2から出力するよう指示する。その後、ステップS601に戻る。

【0056】

また、ステップS609でNOであれば、ステップS603へ戻る。

図15は、本実施の形態における画像処理装置のMPUが行なう処理と、ラインメモリの書込手順とを説明するための図である。図を参照して、入力バッファメモリ301には画像データD0～D4095とともに、アドレスデータ0～4095が入力されている。MPU1～3は入力バッファメモリ301に記憶されたデータを順次処理する。処理が終了したMPUは新たなデータを入力バッファメモリ301から入力し、処理する。ラインメモリにデータは処理が終了したものから書込まれるため、必ずしもアドレス順に書込が行なわれるわけではない。しかしながら、アドレスデータの示す位置に出力データを書込むことにより、出力データの並べ替えが行なわれる。

## 【0057】

計数レジスタはラインメモリにデータが書込まれるごとにカウントを行なう。計数レジスタの値が所定の値（ここでは4095）となると、ラインメモリにデータが一杯となったことを示すため、ラインメモリに記憶された画像データを出力する。

## 【0058】

図16は、ラインメモリへの書込動作を説明するための図である。この図においては、ラインメモリは1～nのn個の画像データを記録するものとする。すなわち、計数レジスタがnの値をカウントしたときに、ラインメモリに記録されている画像データを出力するように制御が行なわれる。

## 【0059】

(A)に示されるように、ラインメモリの(n-1)のアドレスの画像データが未処理であり、他の画像データはすべて処理済みでラインメモリに書込まれている状態を想定する。このとき、計数レジスタの値は(n-1)である。ここで、MPUが(n-1)のアドレスの画像データの処理を終了したのであれば、(B)に示されるように、ラインメモリの(n-1)のアドレスにその画像データD<sub>n-1</sub>が書込まれる。このとき、計数レジスタは1インクリメントされるため、その値はnとなる。すると、メモリコントローラ305は、クロック信号CLKに同期して出力信号を出力する。これにより、(C)に示されるように、ラインメモリのデータがD<sub>1</sub>～D<sub>n</sub>の順に順次出力される。その後、ラインメモリの初期化が行なわれ、(D)に示されるようにラインメモリに記録されているデータがすべてクリアされる。

## 【0060】

本実施の形態においては、ラインメモリにMPUからの処理データを書込むため、MPUにより非同期で処理された結果を、効率よく同期信号に合わせて出力することが可能となる。また、入力バッファメモリに格納された1ページ分の画像データの処理が終了するのを待つことなく、ライン単位で画像データを出力することができるため、高速処理が可能となる。

## 【0061】

また、ラインメモリの格納状態をメモリコントローラが管理するため、CPUの負担を軽減することが可能となる。

【0062】

〔第4の実施の形態〕

図17は本発明の第4の実施の形態における画像処理装置の構成を示すブロック図である。

【0063】

図を参照して、画像処理装置は入力された画像データを記憶する入力バッファメモリ401と、入力された画像データを複数の画像データに分割し並列に処理をするMPU1～3と、MPU1～3の制御を行なうデータフロー制御部409と、出力される画像データを一旦記憶する出力バッファメモリ403と、出力される画像データのアドレスを記憶するアドレスメモリ405と、アドレスメモリ405に記憶されたアドレスデータに基づいて出力バッファメモリ403から画像データを読み出し、アドレス順に出力するよう制御するメモリコントローラ407とから構成される。

【0064】

図18は、本実施の形態における画像処理装置の行なう動作について説明するための図である。入力バッファメモリには、アドレス（1～7）順に画像データ（a1～f1）が記憶される。MPU1～3は並列に画像データを処理するため、出力バッファメモリに記憶される画像データの順序は、入力バッファメモリに記憶された画像データの順序と必ずしも一致しない。そこで、画像処理装置は出力バッファメモリに格納された画像データのそれぞれのアドレスを記憶するアドレスメモリ405を備え、アドレスメモリ405に出力バッファメモリ403に格納されている画像データのアドレスを記憶させることにより、画像データの並べ替えを容易にしている。すなわち、メモリコントローラ407は、アドレスメモリ405に記憶されているアドレスの小さいものから順に対応する出力バッファメモリ403の画像データを読み出し、出力する。これにより、並べ替えが行われた画像データが出力される。

【0065】

図19は、データフロー制御部409の処理を示すフローチャートである。図を参照して、ステップS701でデータフロー制御部はMPUの空き状態を確認する。ステップS703でMPUの空きがあると判定された場合には、ステップS705で空いているMPUに処理をするように指示する。その後、ステップS707ですべてのデータの処理を終えたかが判定され、YESであればここでの処理を終了する。

【0066】

また、ステップS703でNOであればステップS701へ戻り、ステップS707でNOであれば、ステップS701へ戻る。

【0067】

図20は、MPUの動作を示すフローチャートである。図を参照して、MPUはステップS801で待機状態となり、データフロー制御部からの指示を待つ。指示があったのであれば、ステップS803でMPUは入力バッファメモリ401から処理対象となる画像データを読み込む。ステップS805で画像の処理を行ない、ステップS807で処理が終了するまで待つ。処理が終了したのであれば、ステップS809で処理の結果である画像データを出力バッファメモリ403に格納し、その画像データのアドレスをアドレスメモリの対応する位置に書込む。その後、ステップS801へ戻る。

【0068】

なお、この実施の形態においては処理の終了したMPUから順に出力バッファメモリおよびアドレスメモリへのデータの書込を行なうが、同時に複数のMPUが処理を終了した場合には、予め決められた優先順位に基づき書込を行なうようにしてもよい。

【0069】

図21は、メモリコントローラ407の動作を示すフローチャートである。

このフローチャートにおいて「カウンタ」とは、データ出力数を計数するカウンタを意味する。「アドレスT」とは、アドレスメモリ405および出力バッファメモリ403のアドレスを示す。「データADR」とは、アドレスメモリ405内に格納されるデータを示す。「データDout」とは、出力バッファメモリ

403内に格納されるデータを示す。

【0070】

図21を参照して、ステップS901で、カウンタの初期化が行なわれる。このカウンタは出力バッファメモリ403に記憶されるデータ分のカウンタであり、データが出力されるごとに0, 1, 2, …とカウントアップする。

【0071】

ステップS903で、アドレスTを初期化する。そして、アドレスメモリからアドレスTのデータADRを読み出す。

【0072】

ステップS907でデータADRとカウンタの値とが一致するかが判定され、YESであれば、ステップS909で出力バッファメモリのアドレスADRのデータDoutがメモリコントローラを介して出力される。次に、ステップS911でカウンタを1インクリメントし、ステップS913ですべての画像データの出力が終了したか判定する。

【0073】

ステップS913でYESであれば、本ルーチンを終了する。一方、ステップS913でNOであれば、ステップS903へ戻る。

【0074】

ステップS907でNOであれば、ステップS915でアドレスメモリのアドレスTを1インクリメントし、ステップS905へ戻る。

【0075】

図22は、本実施の形態における画像処理装置の効果を説明するための図である。

【0076】

図を参照して、アドレスメモリと出力バッファメモリとのアドレスTはそれぞれ対応している。処理対象の画像データのアドレス（入力データのアドレス）（ $n-1$ ,  $n$ …）はアドレスメモリ内に順次記憶される。また、画像処理の結果である出力データ（ $D_{n-1}$ ,  $D_n$ …）は出力バッファメモリ内に格納される。

【0077】

すべてのデータが処理された後、アドレスメモリから出力すべきデータのアドレスが順番に検索される。たとえば、ここでは $n-1$ 番目のデータを出力するために、アドレスメモリから $(n-1)$ のデータが検索される。ここでは、アドレスメモリ内のデータが $(n-1)$ となるアドレスが $(i+k)$ であるため、出力バッファメモリから $(i+k)$ のアドレスのデータが出力される。

【0078】

次に、 $n$ 番目のデータを出力するために、アドレスメモリから $n$ のデータを検索する。アドレスメモリ内のデータが $n$ となるアドレスは $i$ であるため、出力バッファメモリから $i$ のアドレスのデータが出力される。

【0079】

以上の動作を、全データ $N$ が出力されるまで行なうことで、ランダムに先頭から格納された出力結果を順番に出力することができる。

【0080】

以上のようにして本実施の形態における画像処理装置は、非同期で処理されランダムに格納される処理結果を効率よく順次出力することが可能である。

【0081】

また、通常の画像処理ではページ単位の画像をブロック単位に分割して処理を行なう必要があるが、上述の第1～第4の実施の形態でのMPUにおいては、画像データのブロック単位（第2～第4の実施の形態においては1つの画素を1ブロックとする）で処理が行なわれる。このため、上述の第1～第4の実施の形態においては画像処理に適した効果的な処理が可能である。

【0082】

なお、今回開示された実施の形態は全ての点で例示であって、制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【図面の簡単な説明】

【図1】

本発明の第1の実施の形態における画像処理装置の構成を示すブロック図であ

る。

【図 2】

状態レジスタの構成を示す図である。

【図 3】

データフロー制御部の処理を示すフローチャートである。

【図 4】

MPUの1つの処理を示すフローチャートである。

【図 5】

第1の実施の形態における効果を説明するための図である。

【図 6】

本発明の第2の実施の形態における画像処理装置の構成を示すブロック図である。

【図 7】

図6のセクタ227の構成を示すブロック図である。

【図 8】

セクタ227の動作を示すフローチャートである。

【図 9】

本発明の第3の実施の形態における画像処理装置の構成を示すブロック図である。

【図 10】

メモリコントローラ305の構成を示す図である。

【図 11】

ラインメモリアドレスを説明するための図である。

【図 12】

CPUの行なう処理を示すフローチャートである。

【図 13】

MPUの1つが行なう処理を示すフローチャートである。

【図 14】

メモリコントローラの行なう処理を示すフローチャートである。

【図 15】

第 3 の実施の形態における効果を説明するための図である。

【図 16】

ラインメモリの書込および出力タイミングを説明するための図である。

【図 17】

第 4 の実施の形態における画像処理装置の構成を示すブロック図である。

【図 18】

第 4 の実施の形態における効果を説明するための図である。

【図 19】

データフロー制御部の処理を示すフローチャートである。

【図 20】

M P U の 1 つが行なう処理を示すフローチャートである。

【図 21】

メモリコントローラの動作を示すフローチャートである。

【図 22】

第 4 の実施の形態における効果を説明するための図である。

【図 23】

従来の画像処理装置の構成を示すブロック図である。

【図 24】

M P U を並列に複数配列した画像処理装置の構成を示すブロック図である。

【図 25】

画像処理装置が処理する画像データの具体例を示す図である。

【図 26】

従来の技術の問題点を説明するための図である。

【符号の説明】

101 データフロー制御部

103 状態レジスタ

105 フィードバックメモリ

211a～211d アドレス F I F O



213a~213d 画像データFIFO

215a~215d アドレスFIFO

217a~217d 画像データFIFO

205 データフロー制御部

207 状態レジスタ

301 入力バッファメモリ

303 CPU

305 メモリコントローラ

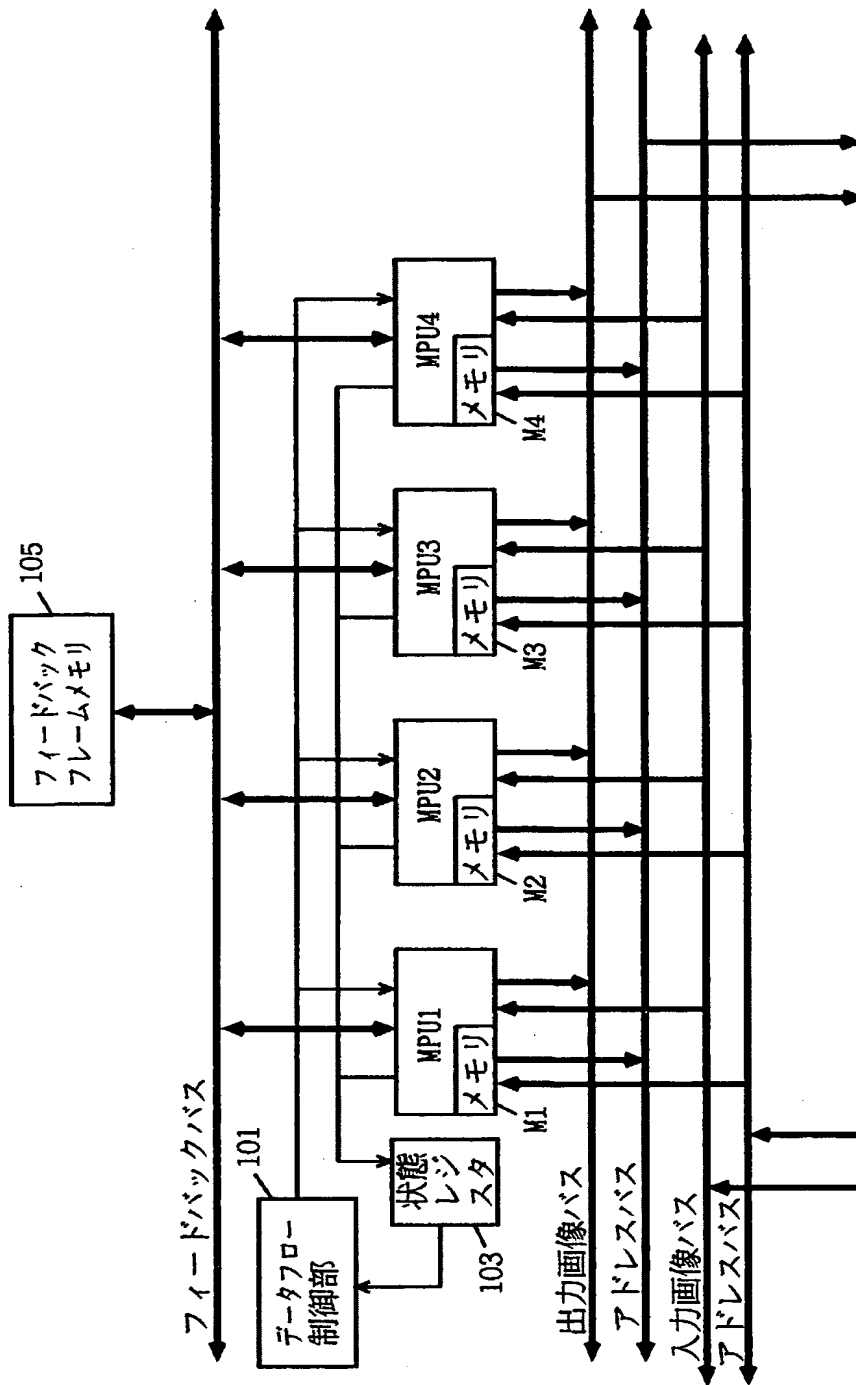
307 計数レジスタ

MPU1~MPU4 MPU

M1~M4 アドレスメモリ

【書類名】 図面

【図 1】



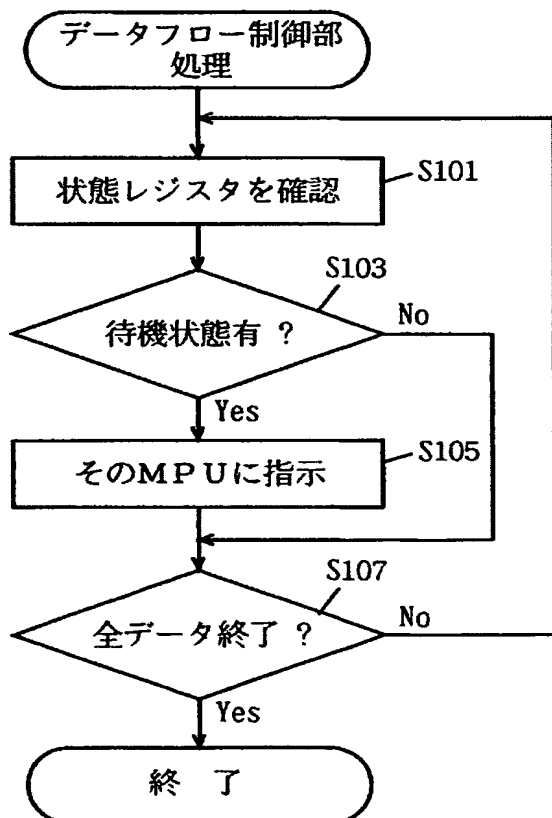
【図 2】

状態レジスタ例

	待機	入力	処理	処理終了	出力
MPU1	0	1	0	0	0
MPU2	1	0	0	0	0
MPU3	0	0	1	0	0
MPU4	0	0	0	0	1

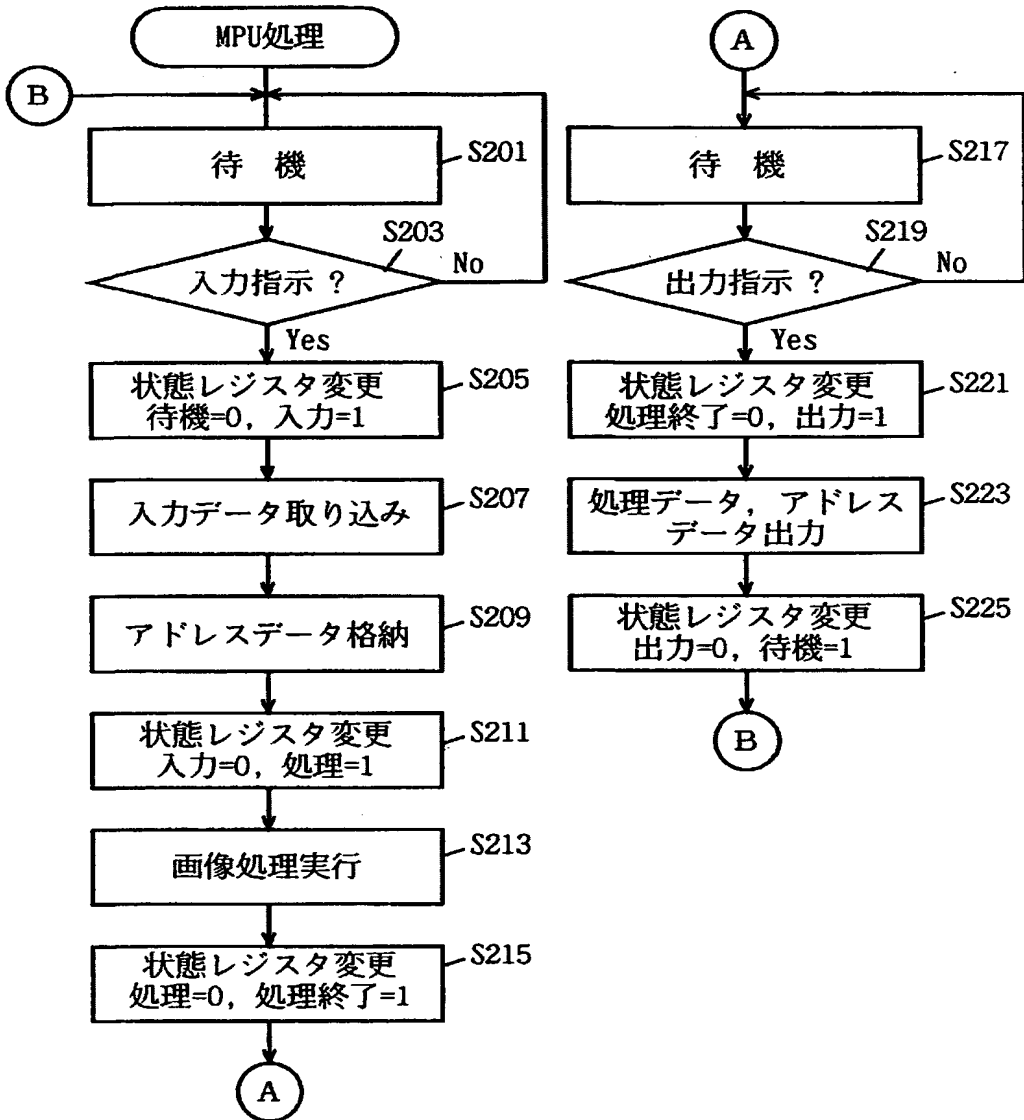
【図 3】

データフロー制御部処理フロー

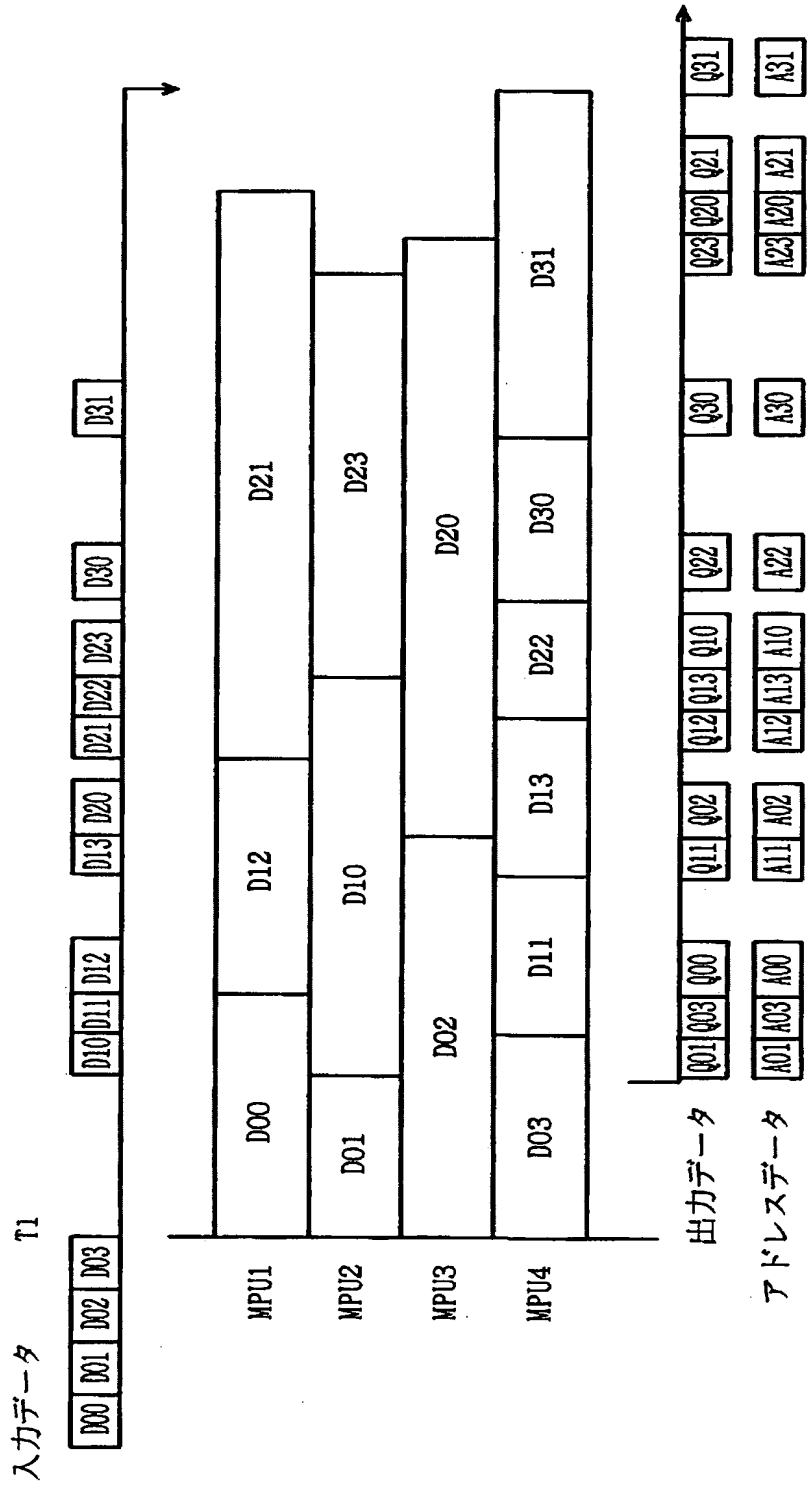


【図 4】

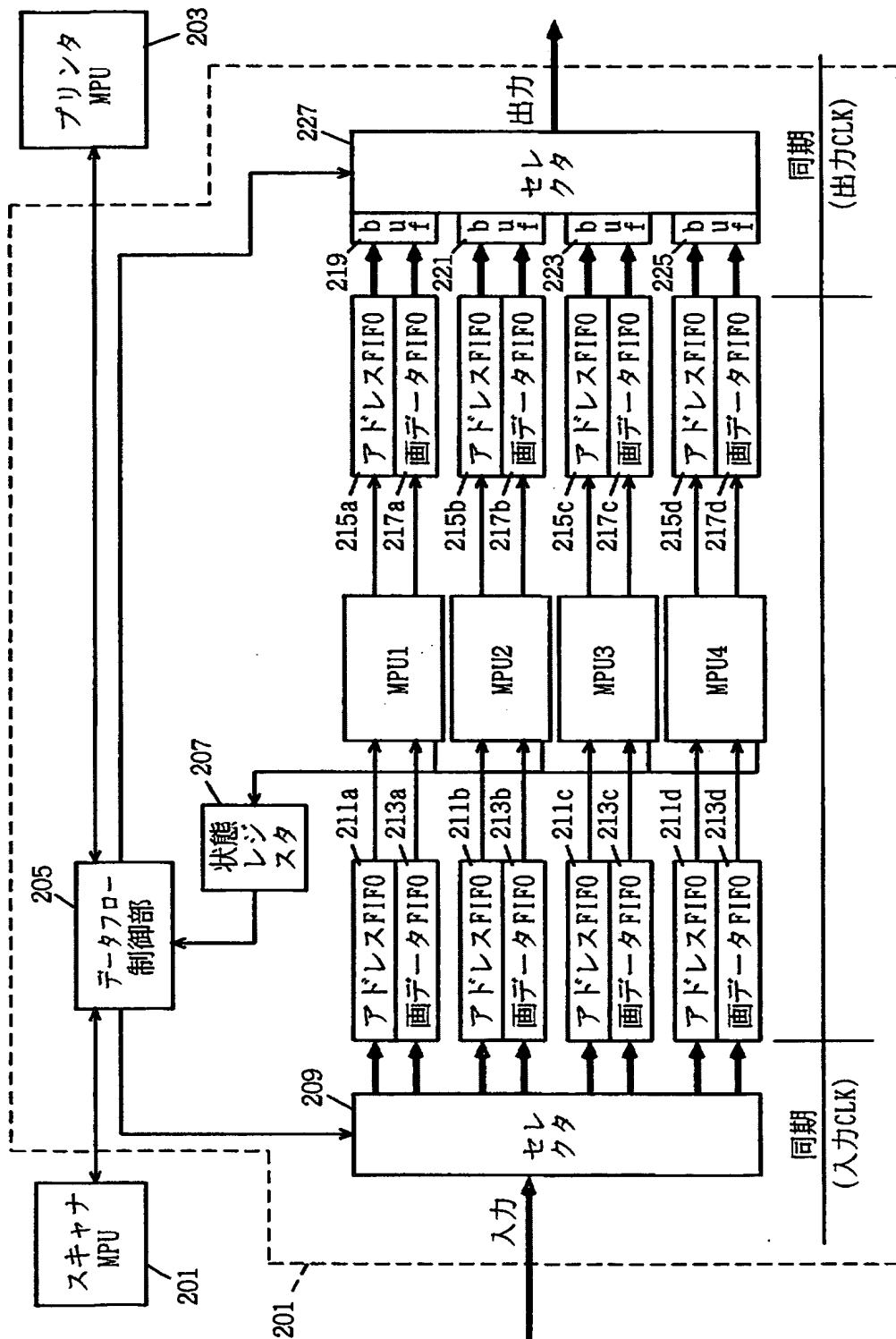
MPU 処理フロー



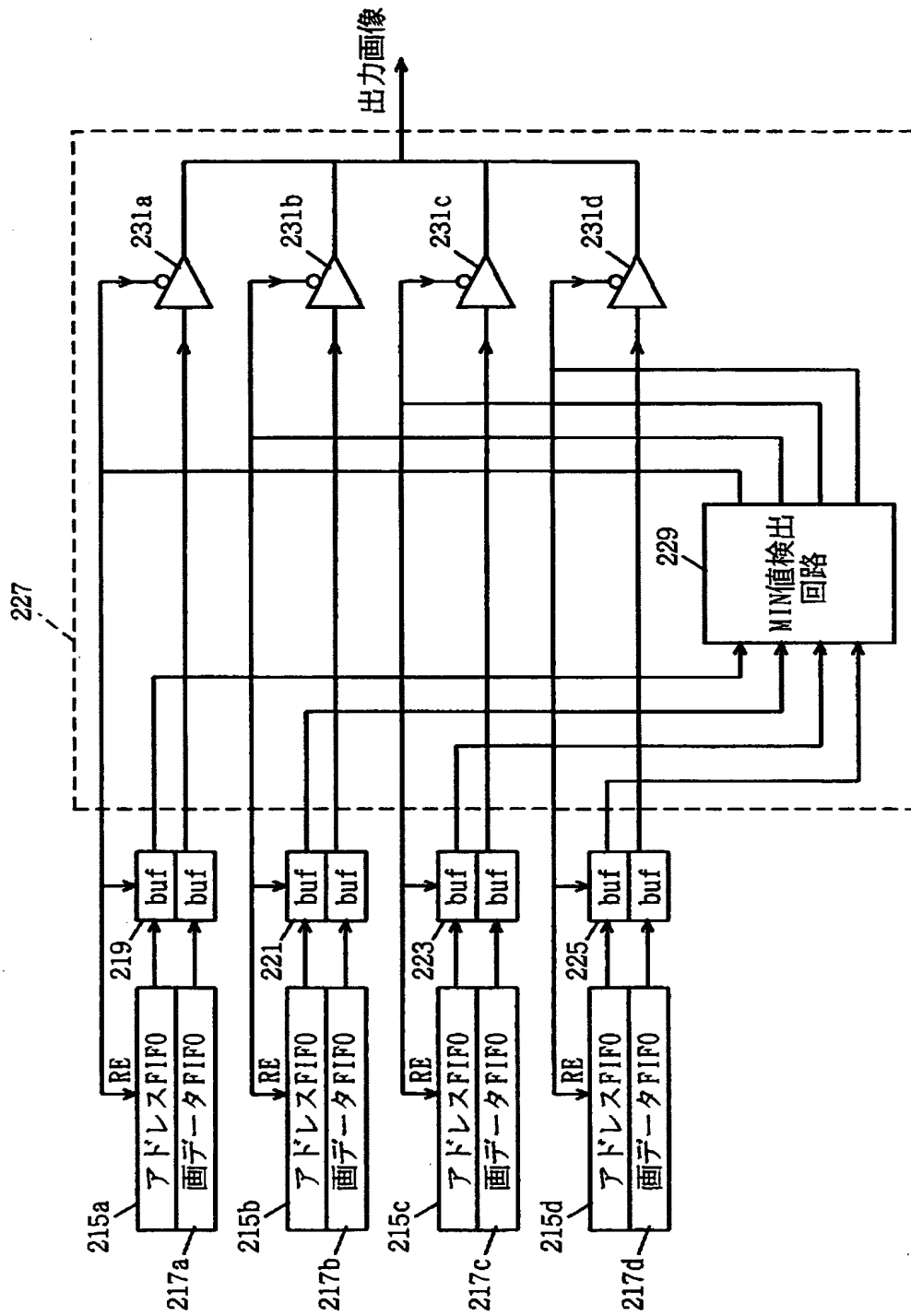
【図 5】



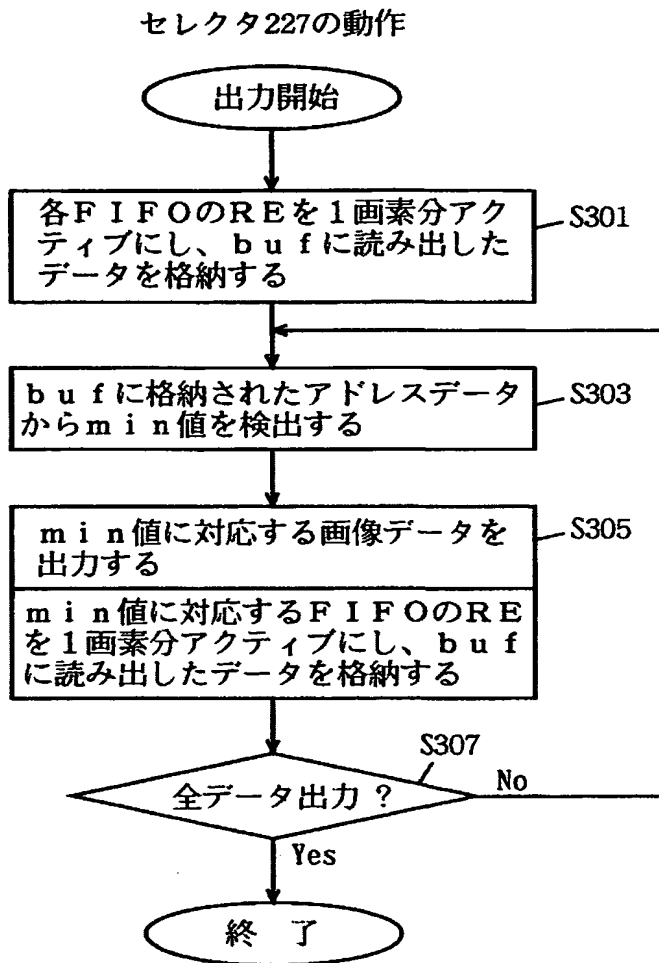
【図 6】



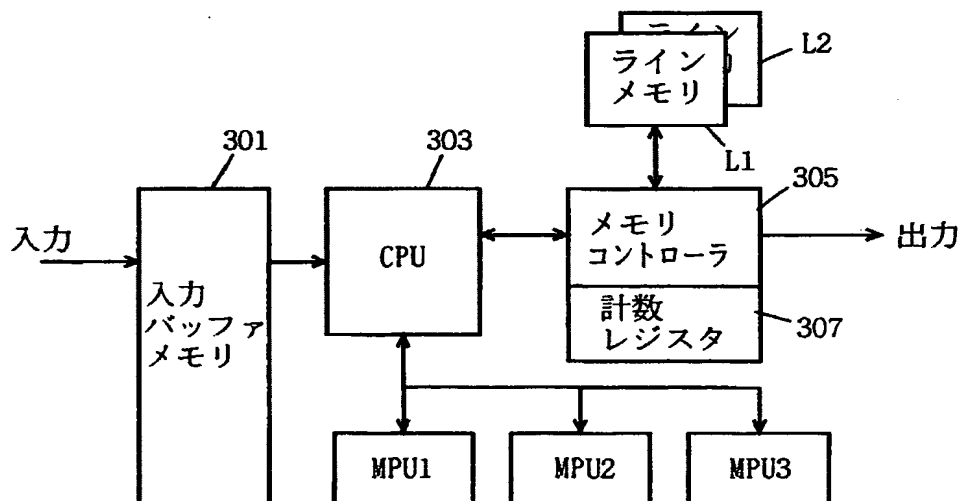
【図 7】



【図 8】

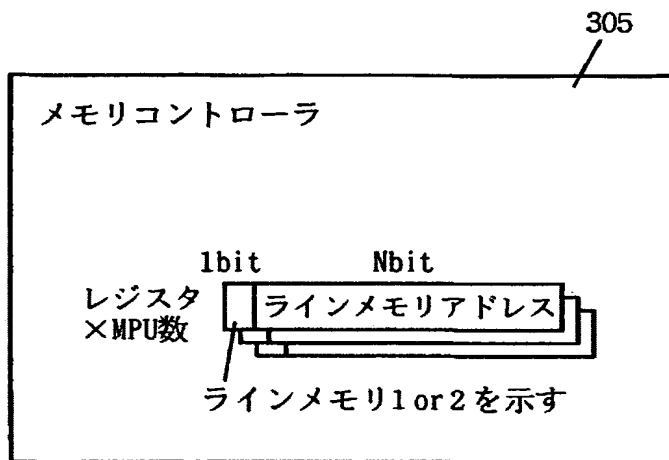


【図 9】

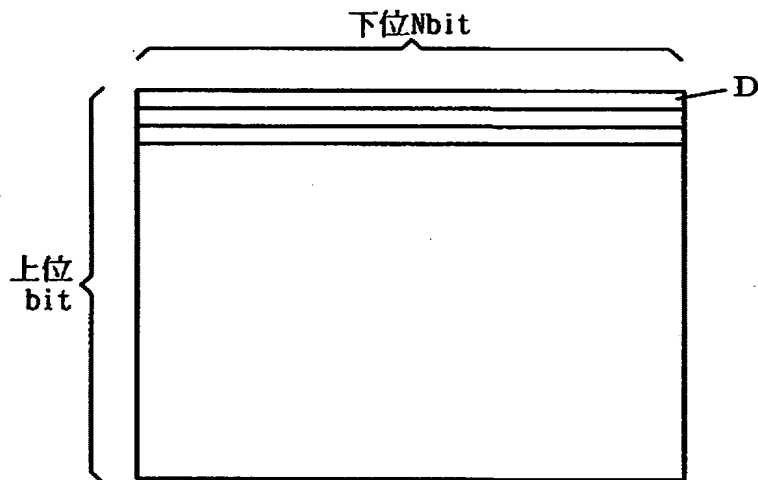




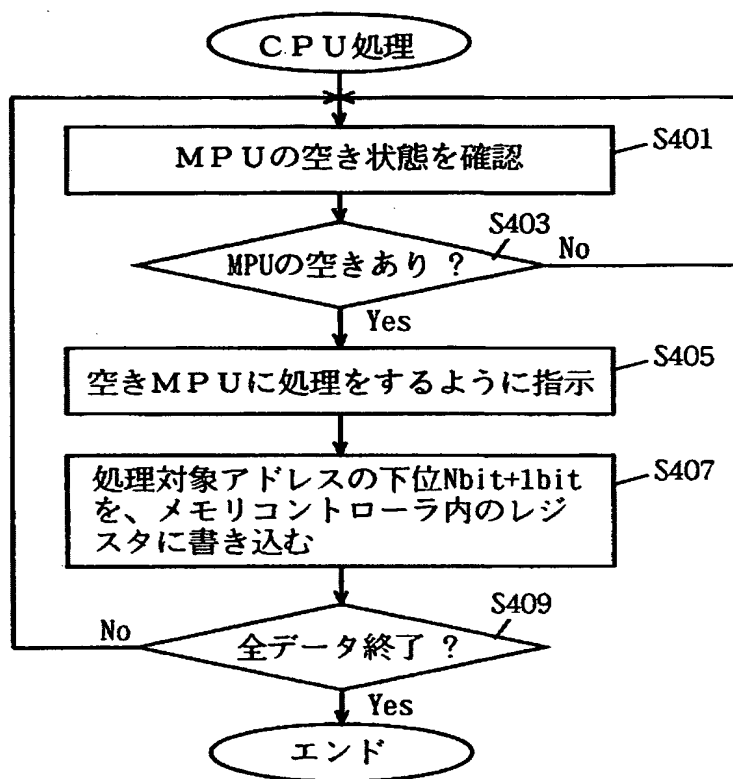
【図 10】



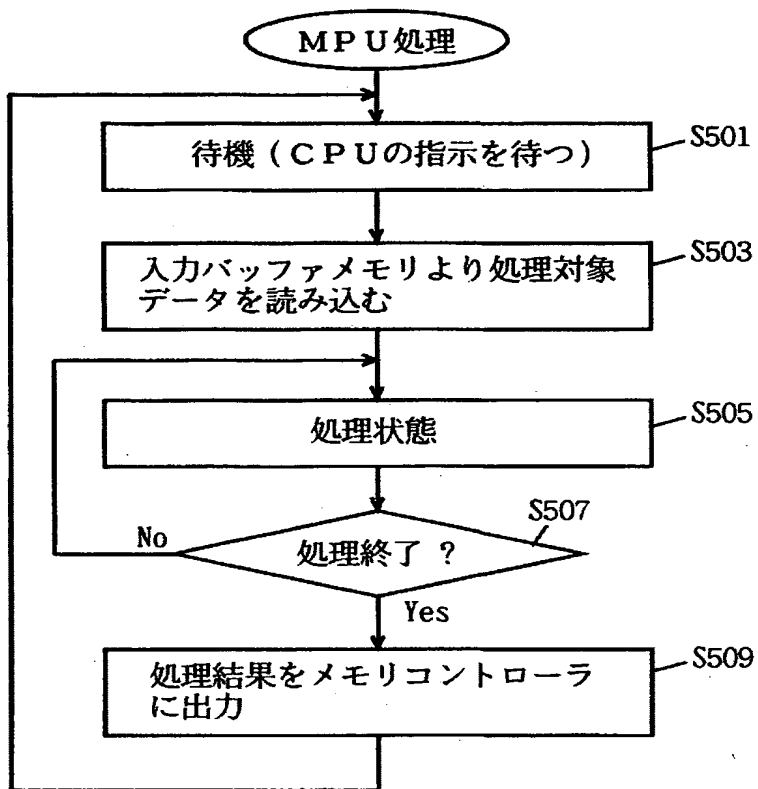
【図 11】



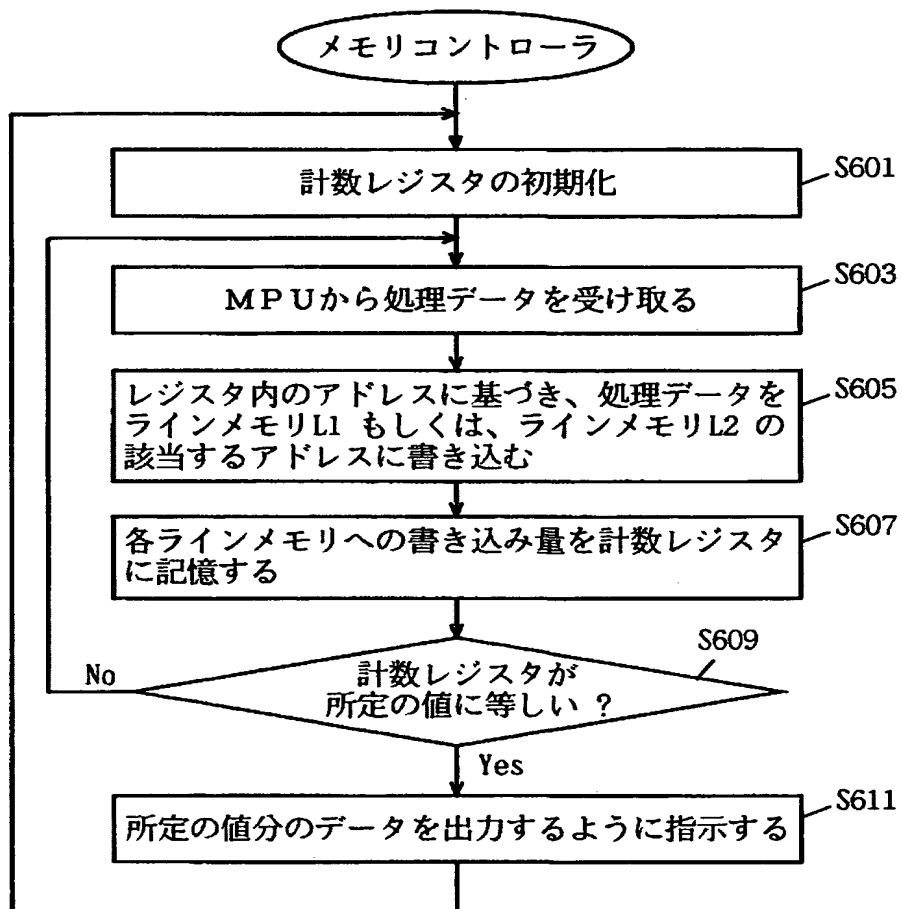
【図 12】



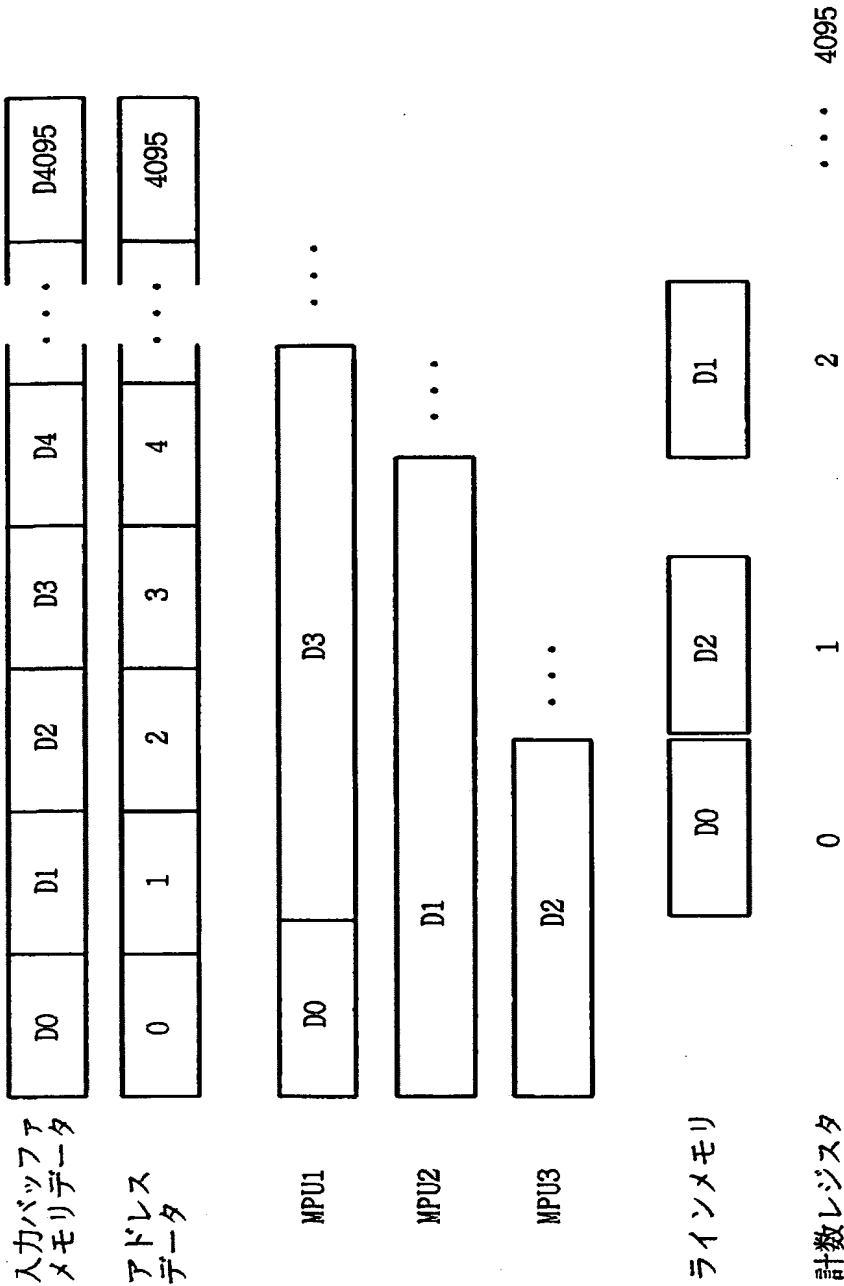
【図 13】



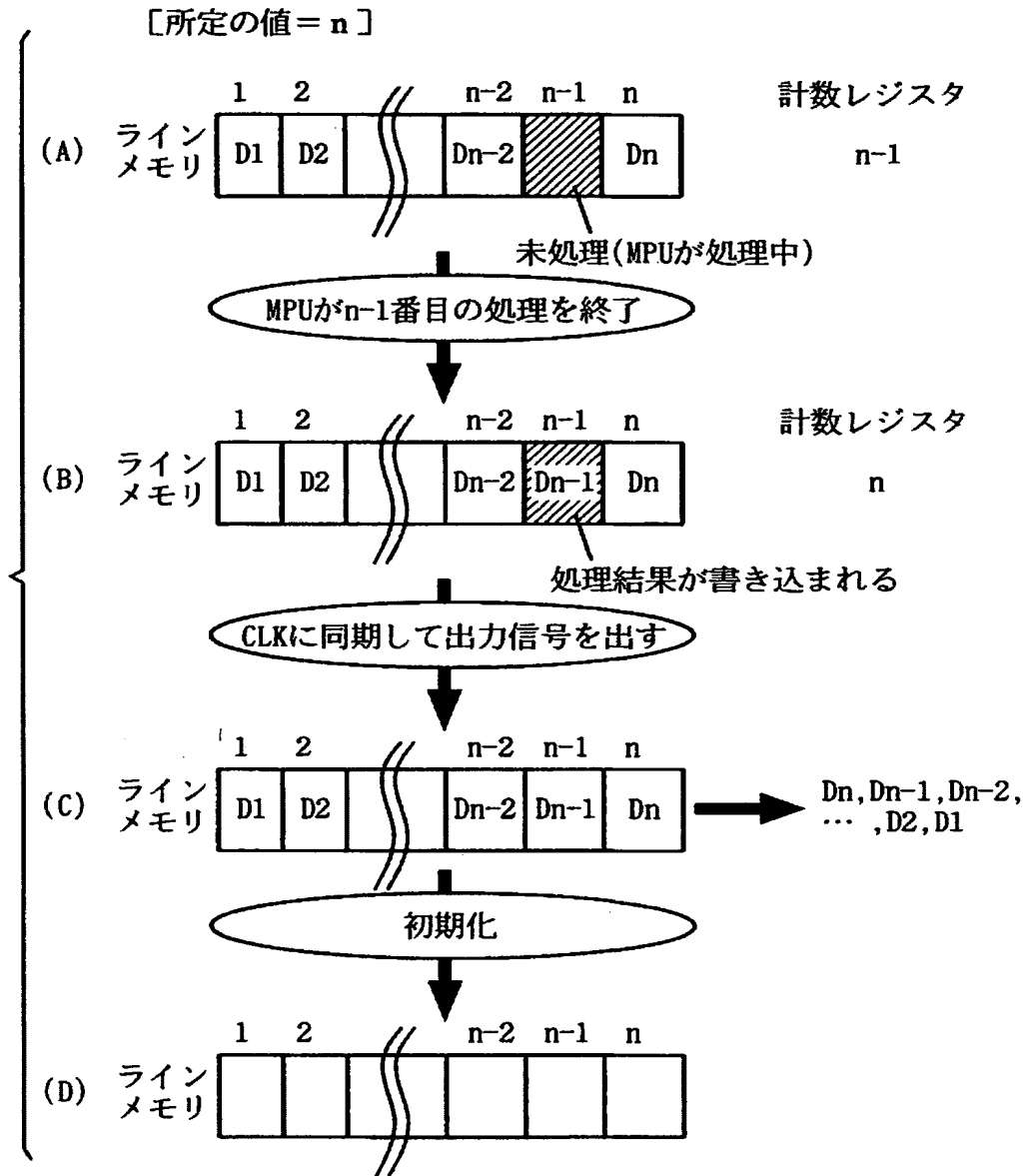
【図 14】



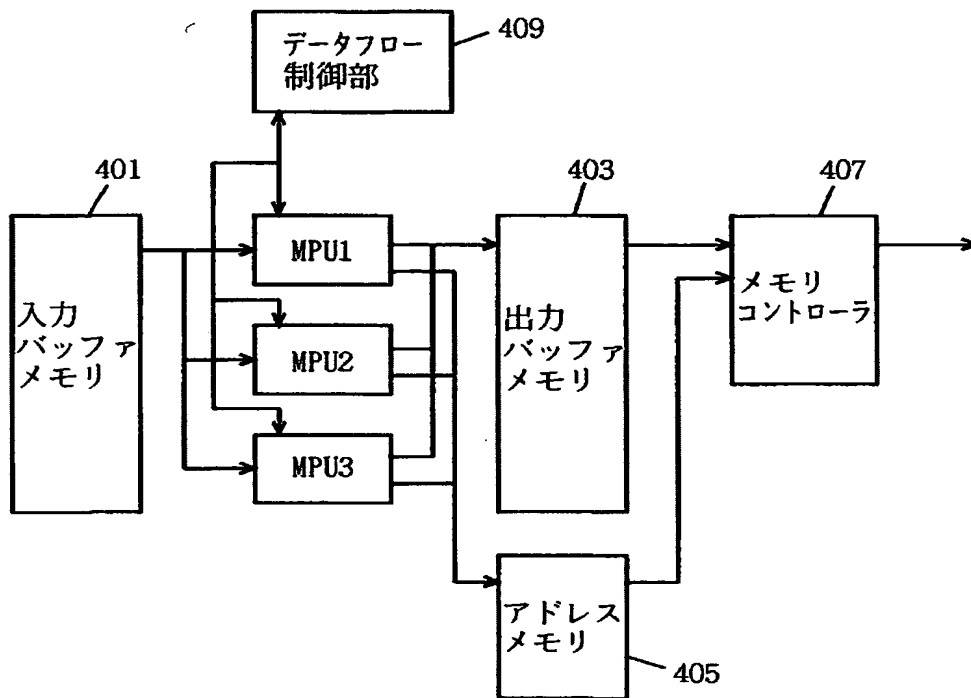
【図 1 5】



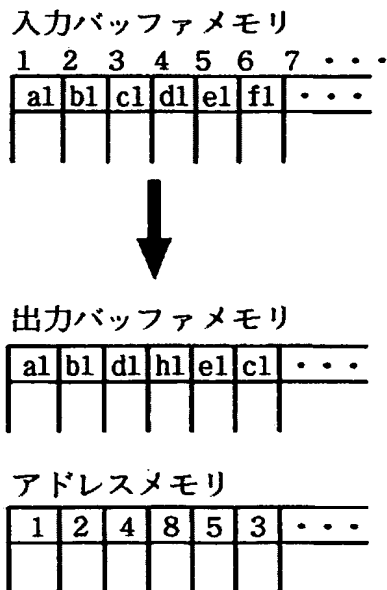
【図 16】



【図 17】

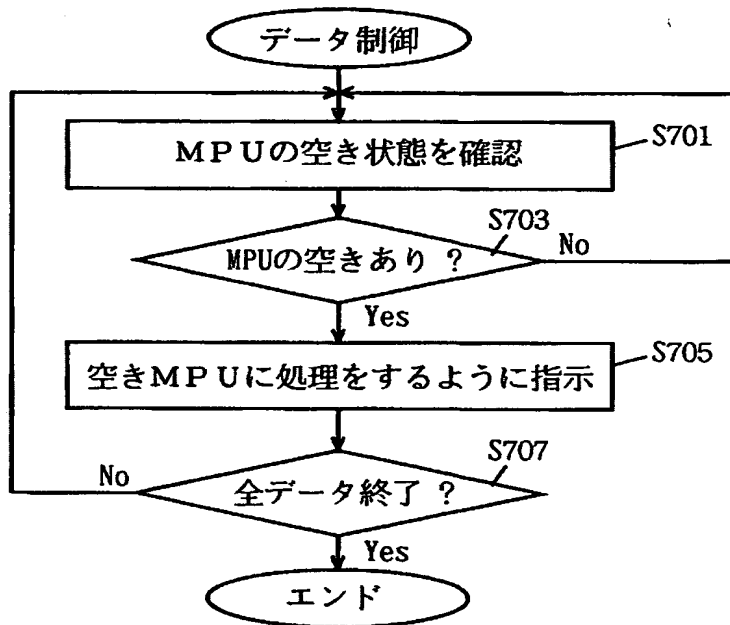


【図 18】



【図 19】

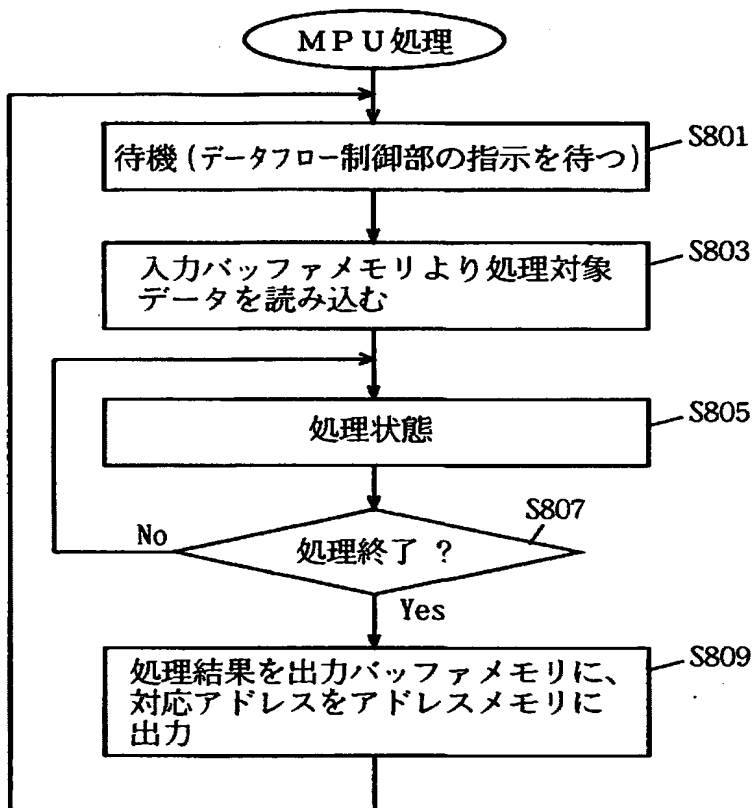
〔データフロー制御部〕



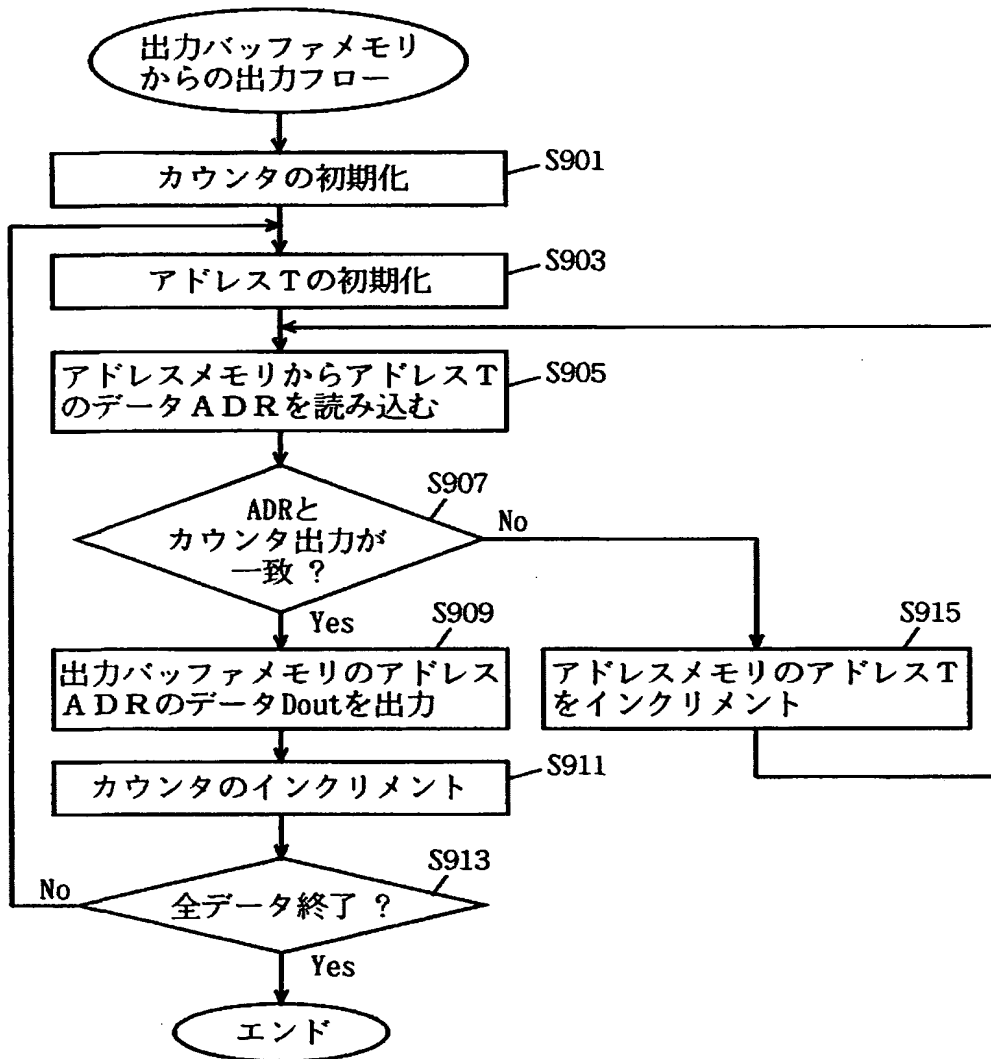


【図 20】

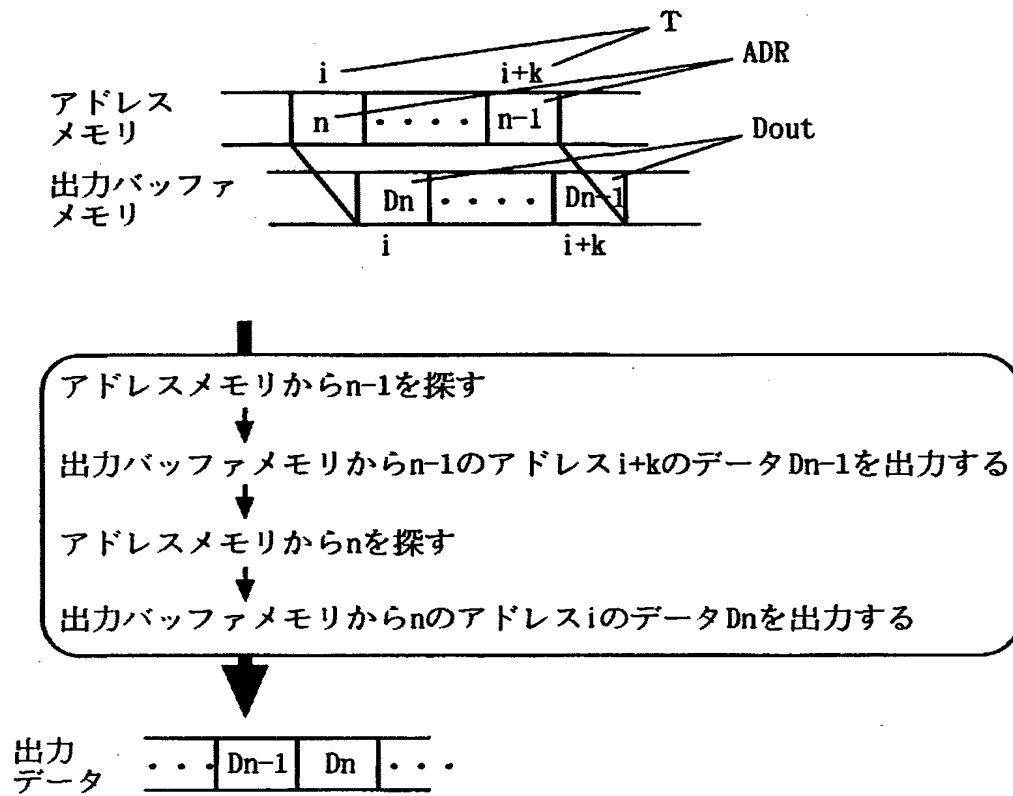
[MPU 処理フロー]



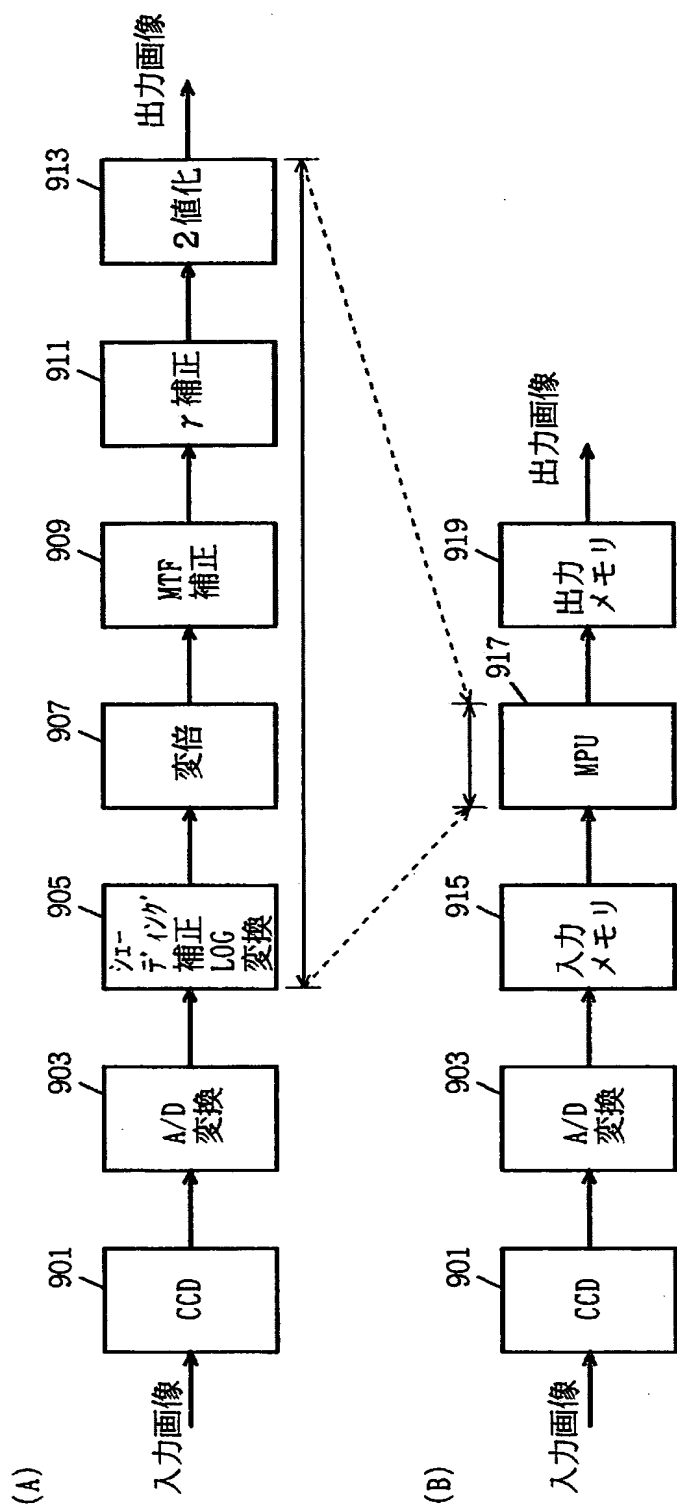
【図 21】



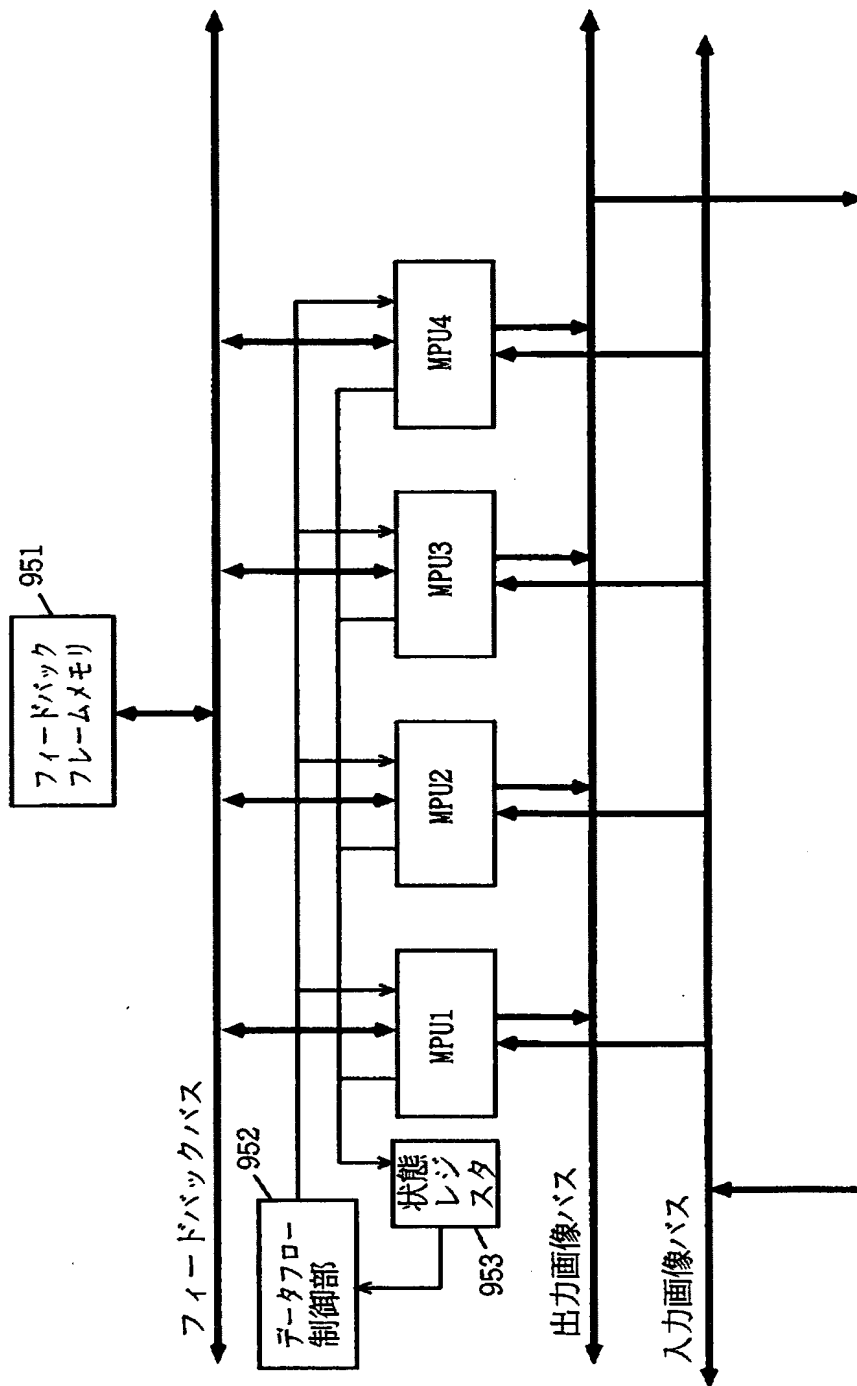
【図 22】



【図 23】



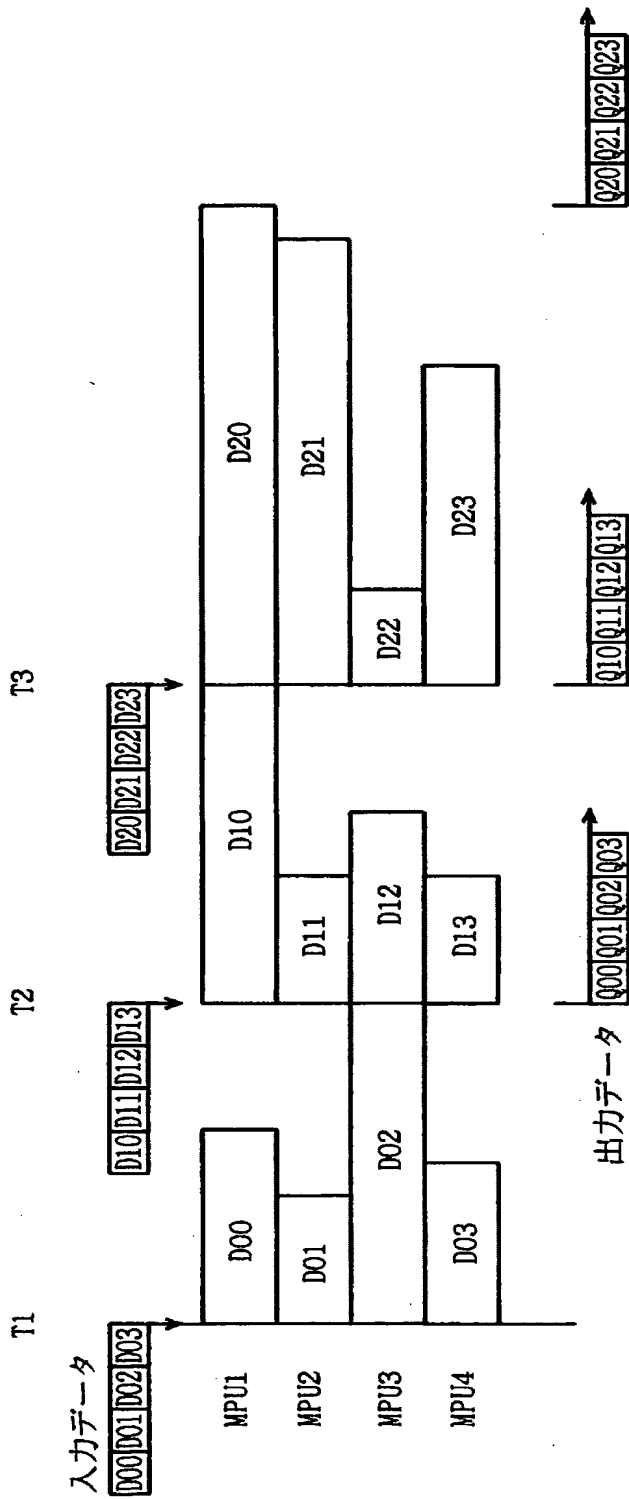
【図 24】



【図 2 5】

L1 ↓	L2 ↓	L3 ↓	L4 ↓
D00	D01	D02	D03
D10	D11	D12	D13
D20	D21	D22	D23
D30	D31	D32	D33
D40	D41	D42	D43
D50	D51	D52	D53

【図 2 6】



【書類名】 要約書

【要約】

【課題】 1つの画像データを複数に分割し複数のMPUで並列に処理する回路において、画像データの効率的な処理を行なう。

【解決手段】 入力画像バスを介して入力された画像データをMPU1～MPU4は並列に処理する。アドレスバスから画像データのアドレスが入力され、それぞれのMPU1～4に設けられたアドレスメモリM1～M4はそれぞれのMPUが処理している画像データのアドレスを記憶する。画像データの処理が終了すると、出力画像バスを介して画像データが出力されるとともに、アドレスバスを介してその画像データのアドレスが出力される。

【選択図】 図1



【書類名】 職権訂正データ  
【訂正書類】 特許願

<認定情報・付加情報>

【特許出願人】

【識別番号】 000006079

【住所又は居所】 大阪府大阪市中央区安土町二丁目3番13号 大阪  
国際ビル

【氏名又は名称】 ミノルタ株式会社

【代理人】 申請人

【識別番号】 100064746

【住所又は居所】 大阪府大阪市北区南森町2丁目1番29号 住友銀  
行南森町ビル 深見特許事務所

【氏名又は名称】 深見 久郎

【選任した代理人】

【識別番号】 100085132

【住所又は居所】 大阪府大阪市北区南森町2丁目1番29号 住友銀  
行南森町ビル 深見特許事務所

【氏名又は名称】 森田 俊雄

【選任した代理人】

【識別番号】 100096792

【住所又は居所】 大阪府大阪市北区南森町2-1-29 住友銀行南  
森町ビル 深見特許事務所

【氏名又は名称】 森下 八郎

出 願 人 履 歴 情 報

識別番号 [000006079]

1. 変更年月日 1994年 7月20日

[変更理由] 名称変更

住 所 大阪府大阪市中央区安土町二丁目3番13号 大阪国際ビル

氏 名 ミノルタ株式会社